

CIRCUIT FOR DRIVING DISPLAY DEVICE

Publication Number: 06-110412 (JP 6110412 A) , April 22, 1994

Inventors:

- NAKAI SHINICHIRO

Applicants

- KYOCERA CORP (A Japanese Company or Corporation), JP (Japan)

Application Number: 04-259474 (JP 92259474) , September 29, 1992

International Class (IPC Edition 5):

- G09G-003/36
- G02F-001/133

JAPIO Class:

- 44.9 (COMMUNICATION--- Other)
- 29.2 (PRECISION INSTRUMENTS--- Optical Equipment)

JAPIO Keywords:

- R011 (LIQUID CRYSTALS)

Abstract:

PURPOSE: To provide the low-cost driving circuit of a display device which eliminates the need for severely matching the phase of an image signal with that of a dot clock, has simple circuit constitution, and can use a conventional processing circuit as it is.

CONSTITUTION: The driving circuit of the display device which sends the image signal outputted from an image signal generating circuit 2 to a source driver IC 5 as it is and outputs it from this source driver IC 5 to the image signal electric conductor of the display device is provided with an image signal converting circuit 3 for converting the image signal into three image signals which are 1/3 in frequency and each delayed in cycle by one dot clock, between an image signal generating circuit 2 and the source driver IC 5. Those three image signals are sent to the source driver IC 5 and sampled. (From: *Patent Abstracts of Japan*, Section: P, Section No. 1774, Vol. 18, No. 391, Pg. 9, July 21, 1994)

JAPIO

© 2004 Japan Patent Information Organization. All rights reserved.

Dialog® File Number 347 Accession Number 4466512



A197111901 (N118, FN27~29)
第2刊行物

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-110412

(43) 公開日 平成 6 年 (1994) 4 月 22 日

(51) Int Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 C 3/36		7319-5 G		
G 0 2 F 1/133	5 5 0	9226-2 K		

審査請求 未請求 請求項の数 1 (全 8 頁)

(21) 出願番号 特願平4-259474

(22) 出願日 平成 4 年 (1992) 9 月 29 日

(71) 出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町 5 番地
の 22

(72) 発明者 仲井 伸一郎

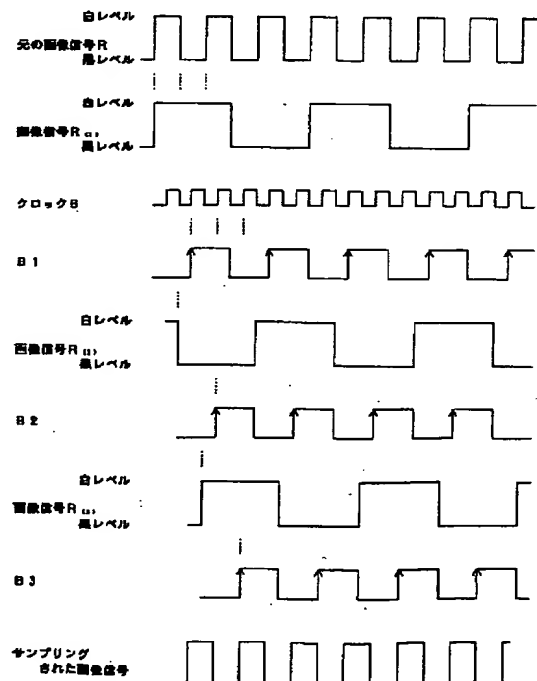
滋賀県八日市市蛇溝町長谷野 1166 番地の 6
京セラ株式会社滋賀八日市工場内

(54) 【発明の名称】 表示装置の駆動回路

(57) 【要約】 (修正有)

【目的】 画像信号とドットクロックの位相を厳密に合わせる必要がなく、回路構成が簡単で従来の処理回路をそのまま用いられる低コストな表示装置の駆動回路を提供する。

【構成】 画像信号生成回路から出力される画像信号をソースドライバ IC へ送って、このソースドライバ IC から表示装置の画像信号配線へ出力する表示装置の駆動回路において、前記画像信号生成回路とソースドライバ IC との間に、前記画像信号を、周波数が 3 分の 1 で、周期が 1 ドットクロックずつ遅れた三つの画像信号に変換する画像信号変換回路を設け、この三つの画像信号を前記ソースドライバ IC へ送ってサンプリングする。



【特許請求の範囲】

【請求項1】 画像信号生成回路から出力される画像信号をソースドライバーICへ送って、このソースドライバーICでサンプリングして表示装置の画像信号配線へ出力する表示装置の駆動回路において、前記画像信号生成回路とソースドライバーICとの間に、前記画像信号を、周波数が3分の1で、周期が1ドットづつ遅れた三つの画像信号に変換する画像信号変換回路を設けたことを特徴とする表示装置の駆動回路。

【発明の詳細な説明】

【0001】 本発明は表示装置の駆動回路に関し、特にアクティブマトリックス型液晶表示装置などの駆動回路に関する。

【0002】

【従来の技術】 従来の液晶表示装置の駆動回路は、図4に示すように、画像信号生成回路41から出力される画像信号Rから、交番電圧を形成するためのガンマ補正・極性反転回路42を介してソースドライバーIC43へ送り、このソースドライバーIC43でサンプリングして、LCDモジュール44へ画像信号を出力していた。一方、画像信号生成回路41から出力される垂直同期信号と水平同期信号をコントローラーIC46へ送り、このコントローラーIC46でシリアルデータとシフトクロックに変換してゲートドライバーIC48へ送り、このゲートドライバーIC47からLCDモジュール44へ走査信号を出力していた。なお、図4に示す液晶表示装置の駆動回路は、例えばプロジェクタ方式の液晶表示装置の駆動回路であり、画像信号Gおよび画像信号Bは、それぞれ緑色用および青色用のLCDモジュールへ送られる。また、図4中、49はパソコンなどの画像信号発生源、50は液晶表示装置である。

【0003】 この従来の液晶表示装置の駆動回路では、画像信号RをソースドライバーIC43でサンプリングする場合、水平同期信号をクロック生成・位相合わせ回路47へ送って、このクロック生成・位相合わせ回路47で、画像信号Rと位相を合わせたクロックBを作り、このクロックBから、コントローラーIC46で三相のサンプリングクロックB1～B3を作り、この三相のサンプリングクロックB1～B3で画像信号Rをサンプリングしていた。例えば、図5に示すように、画像信号Rと位相を合わせたクロックBを用いて、これにより三相のサンプリングクロックB1～B3を作り出し、すなわち、クロックBが立ち上がるときに、順次立ち上がる三相のサンプリングクロックB1～B3を作り出し、この三相のサンプリングクロックB1～B3の各立ち上がり時に、画像信号Rをサンプリングしていた。例えば1番目のサンプリングクロックB1の最初の立ち上がり時には、画像信号Rが白レベルであることがサンプリングされ、2番目のサンプリングクロックB2の最初の立ち上がり時には、画像信号Rが黒レベルであることがサン

リングされ、さらに3番目のサンプリングクロックB3の最初の立ち上がり時には、画像信号Rが白レベルであることがサンプリングされる。なお、図5は、例えばパソコンの画面に、1ラインおきに白黒縦ストライプの画像を出すための2値の画像信号Rをサンプリングする場合の例である。

【0004】

【発明が解決しようとする課題】 ところが、この従来の駆動回路では、クロックBが配線パターン長の長さの影響によって遅れたり、画像信号Rがガンマ補正・極性反転回路の遅延時間などのために遅れると、図6に示すように、画像信号RとクロックBの位相がずれ、正しくサンプリングすることができないという問題があった。すなわち、図5に示す正規のクロックBのタイミングより1/2ドット分遅れた場合には、三相のサンプリングクロックB1～B3の立ち上がり時が、画像信号Rの立ち上がり時や立ち下り時と一致するようになり、画像信号Rの立ち上がり時や立ち下り時の変化点をサンプリングし、その結果、画像信号Rの白レベルと黒レベルが誤ってサンプリングされ、本来の画像とは異なるものが表示される。そのため、画像信号RとクロックBの位相を厳密に合わせなければならず、表示装置全体の回路構成が煩雑になり、高コストになるという問題があった。

【0005】 また、表示装置は、近時、ますます高精細化が要求されており、例えばパソコン等の表示装置では、480×640画素であるが、ハイビジョン対応では1035×1840画素程度になり、画像信号の周波数帯域も従来の4MHz程度から30MHzになる。その結果、画像信号Rを処理するガンマ補正・極性反転回路42も煩雑になり、高コストになるという問題があった。

【0006】

【課題を解決するための手段】 本発明に係る表示装置の駆動回路は、このような従来技術の問題点に鑑みてなされたものであり、その特徴とするところは、画像信号生成回路から出力される画像信号をソースドライバーICへ送って、このソースドライバーICでサンプリングして表示装置の画像信号配線へ出力する表示装置の駆動回路において、前記画像信号生成回路とソースドライバーICとの間に、前記画像信号を、周波数が3分の1で、周期が1ドットづつ遅れた三つの画像信号に変換する画像信号変換回路を設けた点にある。

【0007】

【作用】 上記のように構成すると、クロックの位相が正規の位相よりも前後に半ドットずれてもサンプリングに全く支障を来さないため、画像信号とクロックの位相を厳密に合わせる必要がなくなる。このため、回路構成が簡単になり、低コスト化できる。また、画像信号の周波数が1/3になるため、この信号を処理するガンマ補正・極性反転回路などの周波数帯域が1/3になる。すな

わち、画像信号の周波数が大きくなっても、この画像信号の周波数は $1/3$ に変換されるため、従来の処理回路をそのまま用いることができる。

【0008】

【実施例】以下、本発明の実施例を添付図面に基づき詳細に説明する。

【0009】図1は、本発明に係る表示装置の駆動回路の一実施例を示す図であり、1はクロック生成回路、2は画像信号生成回路、3は画像信号変換回路、4はガンマ補正・極性反転回路、5はソースドライバIC、6はコントローラIC、7はクロック生成・位相合わせ回路、8はゲートドライバIC、9はLCDモジュールである。

【0010】前記クロック生成回路1は、クロックAを生成して画像信号生成回路2へ送る。

【0011】前記画像信号生成回路2は、クロック生成回路1から送られるクロックAのタイミングに基づいて画像信号R（赤）、G（緑）、B（青）を生成して画像信号変換回路3へ出力すると共に、垂直同期信号と水平同期信号を生成して、表示装置11側のコントローラIC6へ送る。なお、水平同期信号は、クロック生成・位相合わせ回路7へも送られる。

【0012】前記画像信号変換回路3では、三色の画像信号R、G、Bを、周波数が3分の1で、周期が1ドット（ドットクロック）づつ遅れた三つの画像信号R₁、R₂、R₃、G₁、G₂、G₃、およびB₁、B₂、B₃に変換する。すなわち、図2の元の画像信号Rと画像信号R₍₁₎～R₍₃₎に示すように、クロックBの2周期毎に1周期の画像信号Rを、クロックBの6周期毎に1周期となる画像信号R₍₁₎～R₍₃₎を形成し、且つこれらの画像信号R₍₁₎～R₍₃₎をクロックBの1周期分（1ドットクロック）づつ遅らせる。この画像信号変換回路3で、各色毎に3種類、計9種類の画像信号R、G、Bが形成され、図1に示すように、ガンマ補正・極性反転回路4へ送られる。

【0013】クロック生成・位相合わせ回路7では、クロックAと同じ周波数のクロックBを生成して、水平同期信号と位相を合わせたクロックBを生成してコントローラIC6へ送る。

【0014】コントローラIC6では、クロックBから三相クロックB₁、B₂、B₃を生成してソースドライバIC5へ供給する。すなわち、図2に示すように、水平同期信号を介して画像信号Rと位相を合わせたクロックBが立ち上がるときに、三相のクロックB₁～B₃が、順次立ち上がるように形成される。また、コントローラIC6では、図1に示すように、三相クロックB₁、B₂、B₃によって移動し、ソースドライバIC5内のサンプル・ホールド回路（不図示）がデータがあるところの画像信号R₍₁₎、R₍₂₎、R₍₃₎をサンプルするためのシフトデータと、一水平期間分の画像信号R

(1)、R₍₂₎、R₍₃₎をサンプリングし終えた時点で、まとめて画像信号RをLCDモジュール9に出力するタイミングを与えるための出力切替タイミング信号とを生成してソースドライバIC5へ供給する。さらに、このコントローラIC6は、水平同期信号と垂直同期信号を受けて、データがあるところの出力がオンになるシリアルデータと、周期が一水平期間ごとに等しいクロックとなるシフトクロックを生成して、ゲートドライバIC8へ送る。また、クロックBと位相を合わせた極性反転信号をガンマ補正・極性反転回路4へ送る。

【0015】ガンマ補正・極性反転回路4では、この極性反転信号にもとづいて、画像信号R₍₁₎、R₍₂₎、R₍₃₎の極性を反転するかしないかを決定する。すなわち、LCDモジュール9へ正極性と負極性の画像信号Rを交互に供給するためである。

【0016】ソースドライバIC5では、図2に示すように、三相クロックB₁、B₂、およびB₃を生成し、クロックB₁で画像信号R₍₁₎がサンプリングされ、クロックB₂で画像信号R₍₂₎がサンプリングされ、さらにクロックB₃で画像信号R₍₃₎がサンプリングされる。クロックB₁～B₃でサンプリングされた画像信号R₍₁₎、R₍₂₎、R₍₃₎を合成して、画像信号V_(R)が再生される。すなわち、ソースドライバIC5では、画像信号R₍₁₎は、クロックB₁の立ち上がり時にサンプリングされ、画像信号R₍₂₎は、クロックB₂の立ち上がり時にサンプリングされ、さらに画像信号R₍₃₎は、クロックB₃の立ち上がり時にそれぞれサンプリングされ、サンプリング結果が合成されてホールドされてLCDモジュール9へ出力される。なお、緑色および青色の画像信号も、それぞれ周波数が $1/3$ に変換され、且つ1ドット分づつ遅れるように、3種類の画像信号に変換されて、サンプリングされ、それぞれの表示装置11に給される。

【0017】このように、画像信号Rの周波数を $1/3$ に変換し、且つ1ドット分づつ遅れるように、3種類の画像信号R₍₁₎、R₍₂₎、R₍₃₎にすると、図3に示すように、クロックBが、図2に示す正規のクロックBよりも $1/2$ ドット遅れても、画像信号R₍₁₎、R₍₂₎、R₍₃₎の変化点をサンプリングすることなく、元の画像信号Rを正確に復元することができる。

【0018】

【発明の効果】以上のように、本発明に係る表示装置の駆動回路によれば、画像信号生成回路とソースドライバICとの間に、画像信号を、周波数が3分の1で、周期が1ドットづつ遅れた三つの画像信号に変換する画像信号変換回路を設け、この三つの画像信号を前記ソースドライバICへ送ってサンプリングすることから、ドットクロックの位相が正規の位相よりも前後に半クロックずれてもサンプリングに全く支障を来さないため、画像信号とクロックの位相を厳密に合わせる必要がなくな

5

る。このため、回路構成が簡単になり、低コスト化できる。また、画像信号の周波数が $1/3$ になるため、この信号を処理するガンマ補正・極性反転回路などの周波数帯域が $1/3$ になる。すなわち、画像信号の周波数が大きくなっても、この画像信号の周波数は $1/3$ に変換されるため、従来の処理回路をそのまま用いることができる。

【図面の簡単な説明】

【図1】本発明に係る表示装置の駆動回路を示す図である。

【図2】本発明の駆動回路による画像信号のサンプリング方式を示す波形図である。

6

【図3】本発明による画像信号の他のサンプリング方式を示す波形図である。

【図4】従来の表示装置の駆動回路を示す図である。

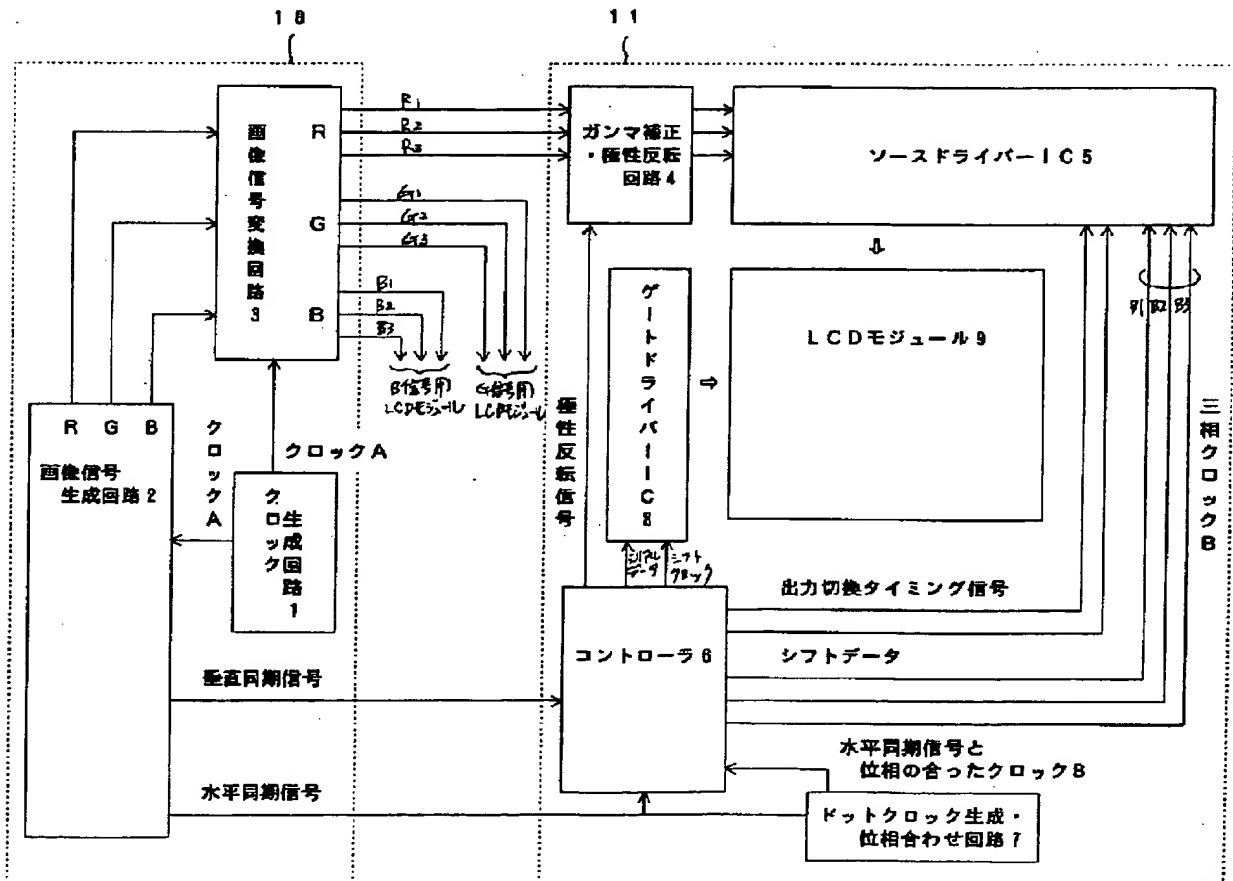
【図5】従来の駆動回路による画像信号のサンプリング方式を示す波形図である。

【図6】従来の駆動回路による画像信号の他のサンプリング方式を示す波形図である。

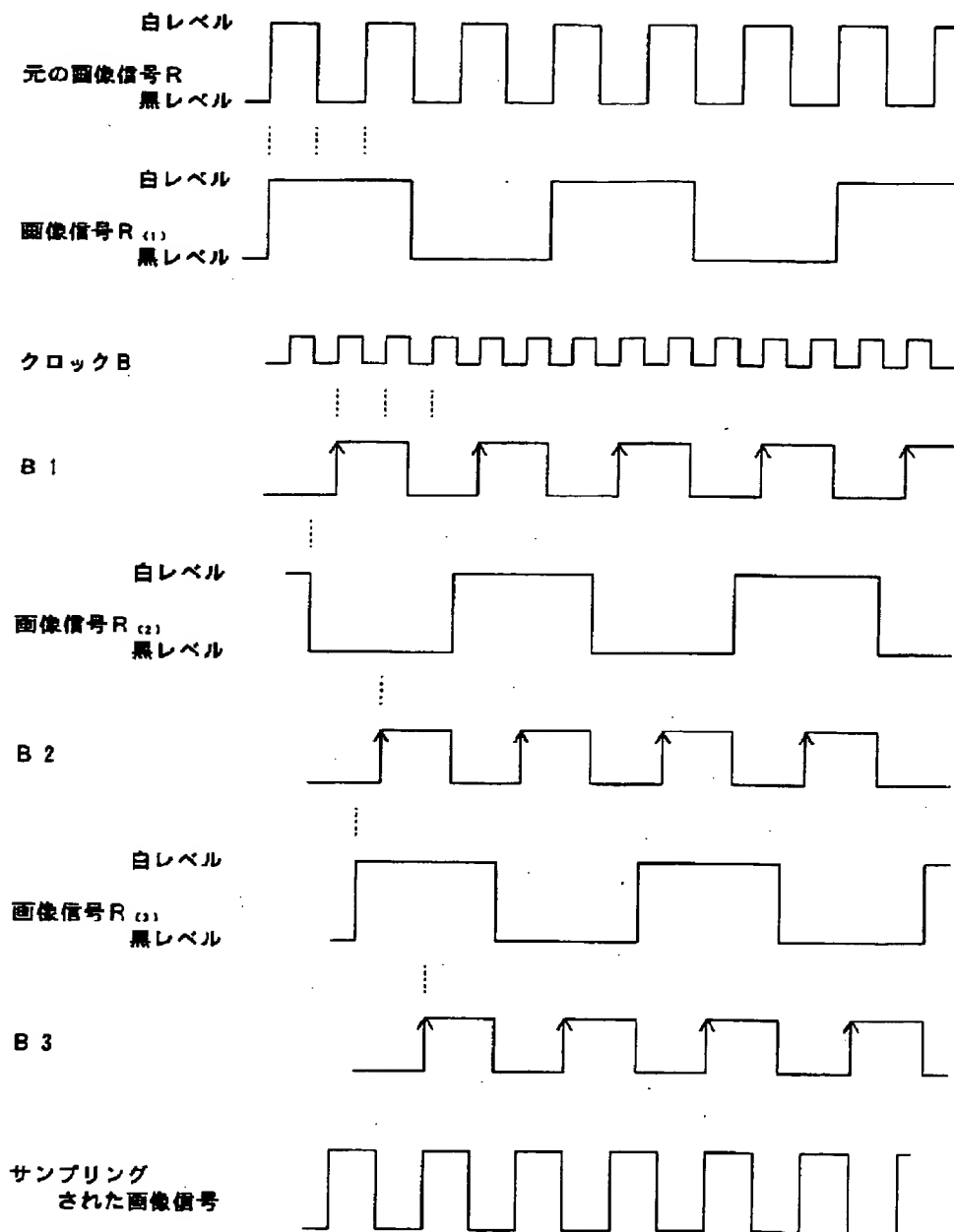
【符号の説明】

1・・・タイミング信号生成回路、2・・・画像信号生成回路、3・・・画像信号変換回路、4・・・極性反転回路、5・・・ソースドライバIC、6・・・コントローラIC、7・・・ゲートドライバIC。

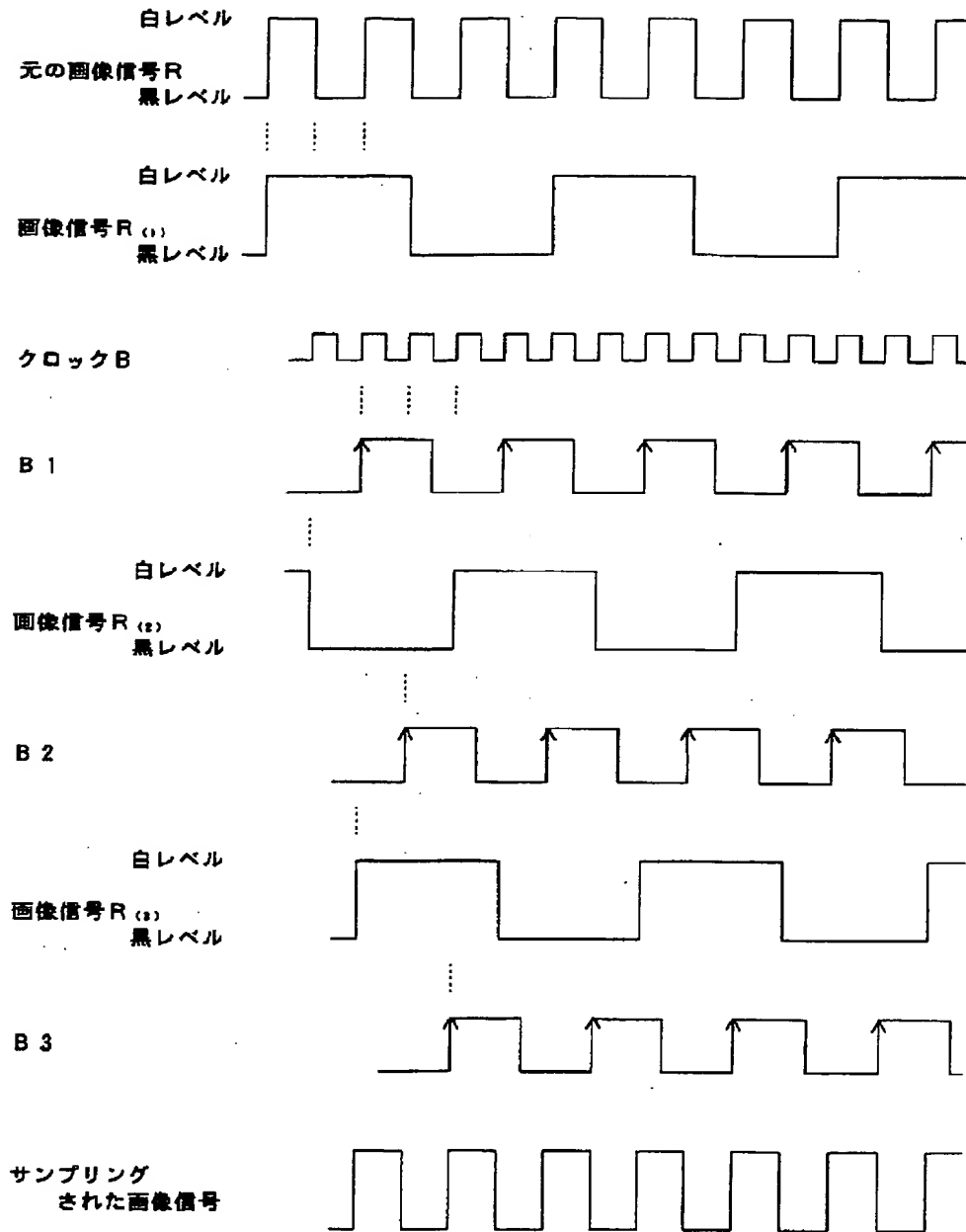
【図1】



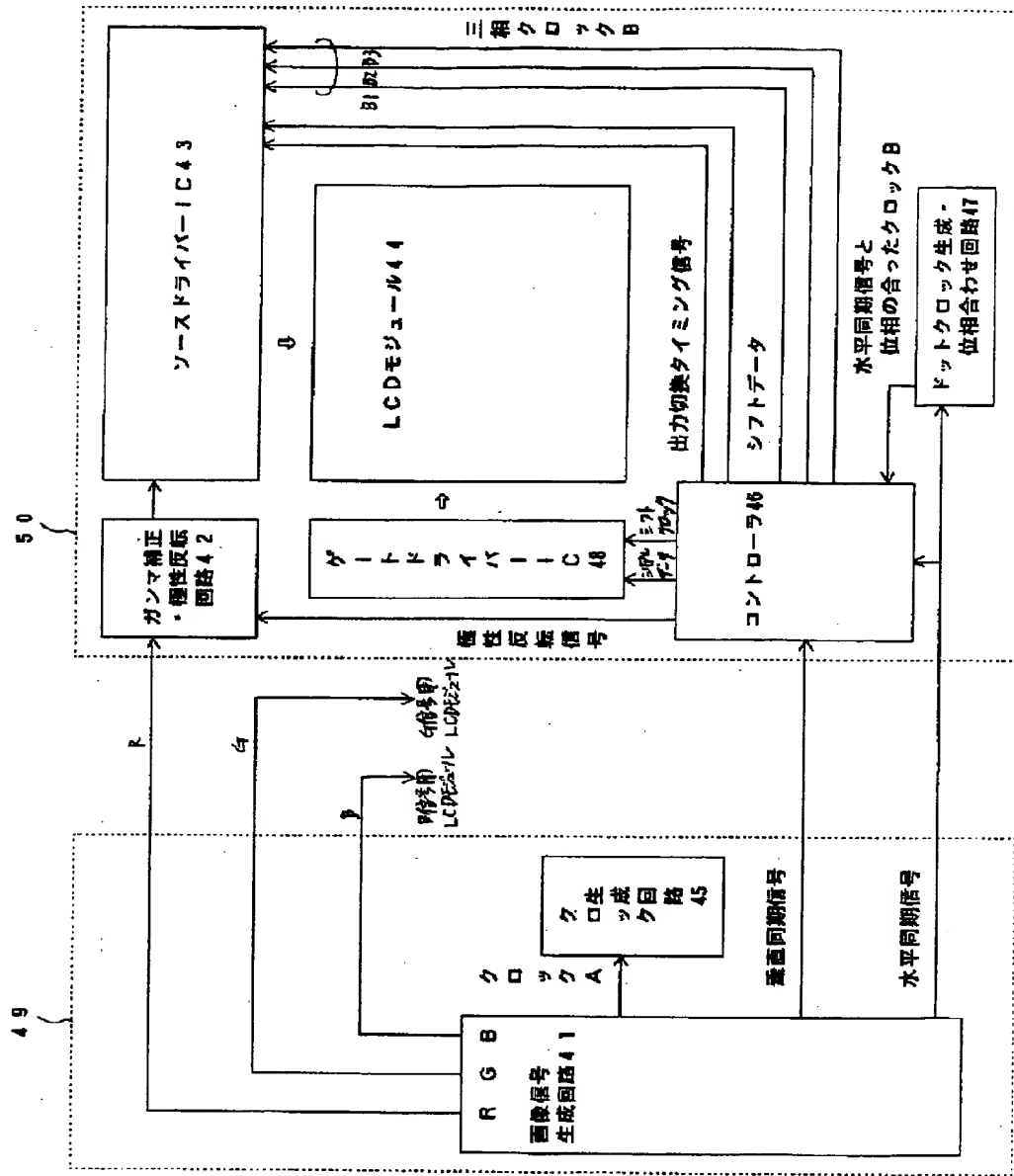
【図2】



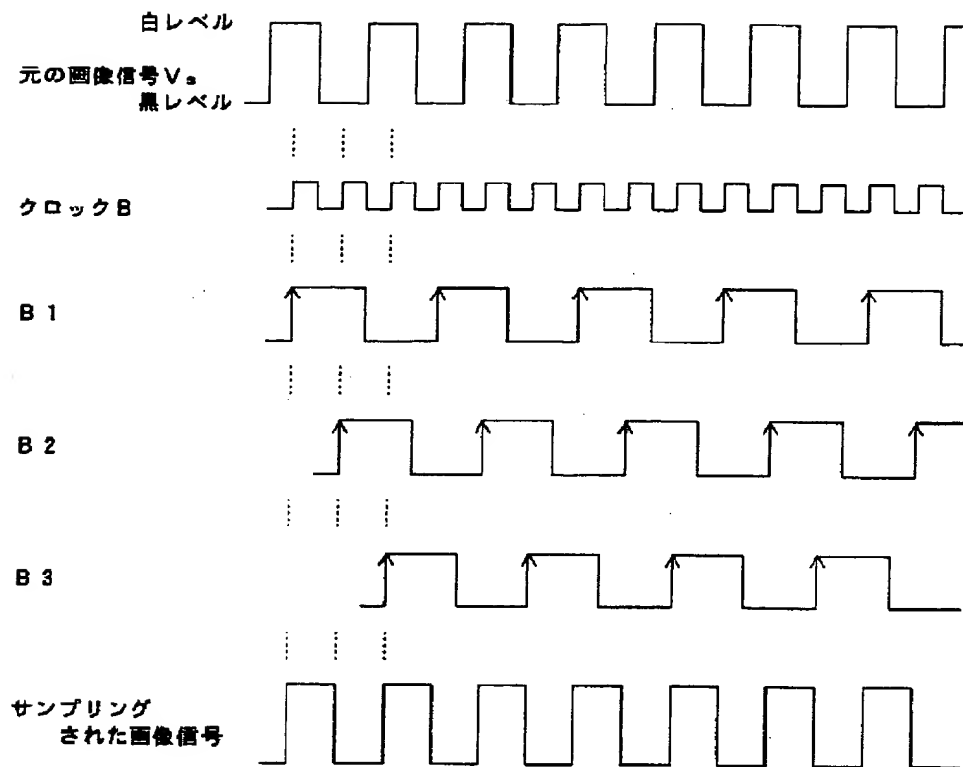
【図3】



【図4】



【図5】



【図6】

